

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-198221

(43)Date of publication of application : 11.07.2003

---

(51)Int.Cl. H01P 5/10

H01F 19/06

H03H 7/42

---

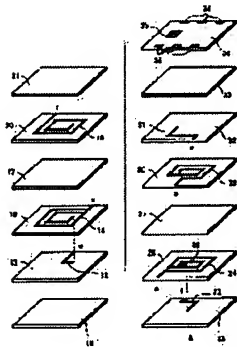
(21)Application number : 2001-  
391132

(71)Applicant : FDK CORP

(22)Date of filing : 25.12.2001 (72)Inventor : NISHIZAWA HIROBUMI  
HIGUCHI SATOSHI

---

(54) CHIP-TYPE LAMINATED BALUN ELEMENT



(57)Abstract:

PROBLEM TO BE SOLVED: To exhibit a stabilized frequency characteristic and proper characteristics, while avoiding generation of resonance or the like caused by an unwanted mode.

SOLUTION: In the chip type laminated balun element, two or more sets of  $\lambda/4$  coupled strip lines mutually electromagnetically coupled are embedded in a dielectric chip in such a manner as overlapped in a vertical direction to the mounting surface of the chip, and one end of the strip line positioned within the dielectric chip and an external electrode are connected by a lead line. In this case, lead lines 12, 22 and 31, positioned on layers adjacent to strip lines 14, 24 and 28, intersect at right angles to the striplines and are provided so that the strip lines except for the intersected parts do not overlap. A part of the lead line parallel to the stripline is formed, being preferably spaced from the stripline by a distance, equivalent to the pattern interval of the trip line or more.

---

#### LEGAL STATUS

[Date of request for examination] 29.09.2004

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The group of  $\lambda/4$  joint stripline which is carrying out the electromagnetic coupling mutually Two or more sets, In the chip mold laminating balun component with which between the stripline edges and external electrodes which are laid underground in the condition of having superimposed perpendicularly to the component side in the dielectric chip, and are located in a dielectric chip is connected with the cash-drawer line The cash-drawer line located in the layer which adjoins a stripline is a chip mold laminating balun component characterized by being formed so that a right angle may be intersected to this stripline when it sees in the direction of a laminating, and it may not lap with this stripline other than an intersection.

[Claim 2] A part parallel to the stripline of a cash-drawer line is a chip mold laminating balun component according to claim 1 currently formed after only pattern spacing of a stripline, an EQC, or the distance beyond it has separated from this stripline.

[Claim 3] It is the chip mold laminating balun component according to claim 2 whose cash-drawer lines 2 sets of groups of  $\lambda/4$  joint stripline which is carrying out the electromagnetic coupling mutually are arranged, each stripline

has a rectangle curled form pattern, and are the shape of a straight line, the shape of an L type, and a crank-like pattern.

[Claim 4] The external electrode pattern of the vertical side of a dielectric chip or an underside is a chip mold laminating balun component according to claim 1 to 3 currently formed of printing.

[Claim 5] The chip mold laminating balun component according to claim 1 to 4 with which the direction discernment marker is formed in the dielectric chip top face of printing.

[Claim 6] The chip mold laminating balun component according to claim 1 to 5 to which the medium ground electrode intervenes among the groups of the stripline which is carrying out the electromagnetic coupling mutually.

[Claim 7] The upper part and/or the chip mold laminating balun component according to claim 1 to 6 under which the outside ground electrode is laid caudad of the stripline group by which the laminating is carried out.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] When this invention is described in more detail about the balun component used in order to change an unbalance signal and a balanced signal mutually in a high frequency circuit, it relates to the chip mold balun component of the laminated structure which prevented generating of unnecessary resonance mode etc. as the cash-drawer line connected with a stripline and it intersected the right angle.

[0002]

[Description of the Prior Art] A balun component is a converter used in order to change an unbalance signal and a balanced signal mutually in a RF circuit. In recent years, the chip mold laminating balun component of the structure which laid underground the joint stripline which is carrying out the electromagnetic coupling mutually into the dielectric chip is developed with the demand of a miniaturization of various electron devices.

[0003] As an example of structure, there is structure carries out opposite arrangement of  $\lambda/2$  joint stripline, and the two  $\lambda/4$  joint striplines (however,  $\lambda$  expresses operating wavelength), and  $\lambda/4$  joint stripline of the one half of  $\lambda/2$  joint stripline, the remainder of one  $\lambda/4$  joint stripline, and a  $\lambda/2$  joint stripline, and another side were [ structure ] made to carry out an electromagnetic coupling mutually conventionally. The unbalance transmission line is connected to  $\lambda/2$  joint stripline, and it is used, connecting a balanced transmission line to each of two  $\lambda/4$  joint striplines.

[0004] However, in order that this structure might form  $\lambda/2$  joint stripline, the large chip area was needed, and there was a limitation in a miniaturization. Then, the configuration using the group of  $\lambda/4$  joint stripline which carries out an electromagnetic coupling to mutual [ 2 sets of ] is proposed as other structures. In order to connect with an external line, a cash-drawer line needs to be used for each stripline, and it needs to connect it with the external electrode of a dielectric chip. This cash-drawer line consists of conventional techniques so that between the stripline edges and external electrodes which are located in a dielectric chip may be linearly connected by the minimum distance.

[0005]

[Problem(s) to be Solved by the Invention] As mentioned above, with the conventional technique, since the cash-drawer line is formed so that between a stripline edge and external electrodes may only be connected linearly, the stripline and the cash-drawer line have composition which crosses aslant. Therefore, the resonance by the unnecessary mode etc. occurred, frequency characteristics became instability and there was a worsening fault.

[0006] The object of this invention is being able to prevent generating of unnecessary resonance etc., and frequency characteristics' being stabilized and offering a good chip mold laminating balun component.

[0007]

[Means for Solving the Problem] The group of  $\lambda/4$  joint stripline which is carrying out the electromagnetic coupling mutually this invention Two or more sets, In the chip mold laminating balun component with which between the stripline edges and external electrodes which are laid underground in the condition of having superimposed perpendicularly to the component side in the dielectric chip, and are located in a dielectric chip is connected with the cash-drawer line The cash-drawer line located in the layer which adjoins a stripline It is the chip mold laminating balun component characterized by being prepared so that a right angle may be intersected to this stripline when it sees in the direction of a laminating (it is perpendicularly to a component side), and it may not lap with this stripline other than an intersection. Here, as for a part parallel to the stripline of a cash-drawer line, it is desirable to be formed after only pattern spacing of a stripline, an EQC, or the distance beyond it has separated from this stripline.

[0008] In a typical example, the group of  $\lambda/4$  joint stripline which is carrying out the electromagnetic coupling mutually is arranged up and down in 2 sets and a dielectric chip. Each stripline has a rectangle curled form pattern, and let cash-drawer lines be the shape of a straight line, the shape of an L type, and a crank-like pattern to it. As for the external electrode pattern formed in the vertical side or underside of a dielectric chip among external electrodes, forming

by printing is desirable. Also as for a direction discernment marker, it is desirable to form in a dielectric chip top face by printing.

[0009] You may constitute so that a medium ground electrode may intervene among the groups of the joint stripline which is carrying out the electromagnetic coupling mutually. Unnecessary electromagnetic association between the groups of a joint stripline can be prevented by it. Moreover, the upper part of the whole stripline group arranged in the vertical direction in these dielectrics chip and/or the configuration which lays an outside ground electrode underground caudad are also effective. Leakage of the electromagnetic wave to the exterior can be reduced by it, and the adverse effect done to other devices can be reduced to the minimum.

[0010]

[Example] Drawing 1 is the explanatory view showing one example of the chip mold laminating balun component concerning this invention, and decomposes and shows the internal structure. This is an example which carries out printing formation and carries out the laminating of the conductor pattern required on a dielectric substrate. Up, the laminating of the dielectric substrate is turned in the following sequence from the bottom.

[0011] The lowest layer is the dielectric substrate 10 which printed on the underside the same external electrode pattern as the maximum upper layer mentioned later (therefore, not shown [ the external electrode pattern ]). Moreover, request number of sheets and the dielectric substrate which is not printed at all may be formed if needed.

[0012] The dielectric substrate 13 which moreover printed the 1st cash-drawer line 12, and the dielectric substrate 16 which printed the 1st stripline 14 appear. The 1st stripline 14 has a rectangle curled form pattern, and the periphery edge is formed so that the after [ the substrate right (back) ] edge d may be arrived at. On the other hand, the 1st cash-drawer line 12 of the layer which adjoins it is an L type-like pattern, and it is prepared so that between the inner circumference edge of the 1st stripline 14 and the edges e of the substrate central back may be

connected through beer hole connection (it expresses as a broken line). In addition, beer hole connection embeds an electrical conducting material in the minute hole formed in said inner circumference edge, and the configuration which makes electric connection between layers by it is said. On the dielectric substrate 16, request number of sheets and the dielectric substrate 17 which is not printed at all are formed if needed. The dielectric substrate 20 which moreover printed the 2nd stripline 18 appears. The 2nd stripline 18 is the configuration which is common in the 1st stripline 14, it has a rectangle curled form pattern used as physical relationship which laps mutually, and the periphery edge is formed in the shape of a straight line so that the substrate left trailing edge f may be arrived at. The inner circumference edge of the rectangle curled form pattern of the dielectric substrate 20 is disconnection (opening). On the dielectric substrate 20, request number of sheets and the dielectric substrate 21 which is not printed at all are formed if needed.

[0013] The dielectric substrate 23 which moreover printed the 2nd cash-drawer line 22, and the dielectric substrate 26 which printed the 3rd stripline 24 appear. The 3rd stripline 24 has a rectangle curled form pattern, and the periphery edge arrives at the edge a front left of a substrate. On the other hand, the 2nd cash-drawer line 22 is a crank-like pattern, and it is prepared so that between the inner circumference edge of the 3rd stripline 24 and the substrate left trailing edges f may be connected through beer hole connection (it expresses as a broken line). On the dielectric substrate 26, request number of sheets and the dielectric substrate 27 which is not printed at all are formed if needed. Furthermore, the dielectric substrate 30 which printed the 4th stripline 28 on it, and the dielectric substrate 32 which printed the 3rd cash-drawer line 31 appear. The 4th stripline 28 also has the rectangle curled form pattern, and the periphery edge is attained to the edge b of substrate central this side. On the other hand, the 3rd cash-drawer line 31 is a crank-like pattern, and it is prepared so that between the inner circumference edge of the 4th stripline 28 and the edges c front right of a substrate may be connected through beer hole connection (it expresses as a



broken line). The rectangle curled form pattern of the 3rd stripline 24 and the 4th stripline 28 has a common configuration, and they are taken as physical relationship which laps mutually.

[0014] On the dielectric substrate 32, request number of sheets and the dielectric substrate 33 which is not printed at all are formed if needed. Furthermore, as the maximum upper layer, the dielectric substrate 36 which printed the external electrode pattern 34 and the direction discernment marker 35 is formed. The external electrode pattern 34 is a rectangle-like, it sets spacing to two sides (at drawing 1  $R > 1$ , they are the front side and the back side) which counter, and array formation is uniformly carried out three pieces at a time by a total of six pieces and print processes. Moreover, the direction discernment marker 35 is brought near by one side ( drawing 1 left-hand side of space) of the dielectric substrate 36, and prints.

[0015] In such sequence, the laminating of the dielectric substrate is carried out, and it unifies, and considers as a chip type element. It becomes the structure laid underground where the group of the joint stripline which is carrying out the electromagnetic coupling mutually is perpendicularly overlapped to a component side in 2 sets (the group of the 1st stripline 14 and the 2nd stripline 18, and group of the 3rd stripline 24 and the 4th stripline 28), and a dielectric chip. That is, the common rectangle curled form pattern will constitute  $\lambda / 4$  joint stripline from each class substantially, and the other part will be called the pattern for connection.

[0016] As eventually shown in drawing 2 , six external electrodes 41 are formed in the lateral surface of the dielectric chip 40, and it connects with the edge of each stripline, and the edge of each cash-drawer line in respect of the tip side. Therefore, each external electrode 41 will be formed so that it may result [ from the side face which the edge of a conductor pattern has exposed ] in both a top face and lower \*\* (component side), and the direction discernment marker 35 (mark to show the directivity of a chip) will be located in a top face. And the 2nd stripline 18 and 3rd stripline 24 will be mutually connected by the external

electrode (Sign f shows) of the left-back location of the six external electrodes 41.

[0017] As mentioned above, all the die length (the die length of the rectangle curled form pattern which serves as the same configuration by the striplines which constitute the group) as a joint stripline is set as one fourth of the die length of the operating wavelength  $\lambda$ . Therefore, this chip mold laminating balloon component can be expressed like drawing 3 R> 3 in equal circuit. The sign of each terminal supports the sign which shows the location of drawing 1 , and the sign of the external electrode of drawing 2 . An unbalance terminal, and b and e become a grounding terminal (GND), c and d become a balanced terminal, and a becomes a terminal for the internal connection whose f connects the 2nd and the 3rd stripline.

[0018] The dielectric substrate to be used consists of an alumina etc. For a miniaturization, an ingredient with big specific inductive capacity is desirable. After printing a conductor pattern with conductive paste (for example, silver paste), carrying out a laminating in predetermined sequence and carrying out application-of-pressure unification with screen printing on it as the typical manufacture approach using a non-calcinated dielectric ceramic sheet (green sheet), there is the approach of calcinating. In addition, the approach of forming a conductor pattern on a dielectric substrate, carrying out a laminating through a glue line in predetermined sequence, and unifying may be used. By the approach, a dielectric ceramic substrate [ finishing / sintering ] can also be used and other resin substrates can also be used.

[0019] Next, drawing 4 explains in more detail the pattern structure which is the description of this invention. In this invention, when it sees in the direction of a laminating, the cash-drawer line of the layer which adjoins a stripline intersects a right angle to this stripline, and except the intersection, it is prepared so that it may not lap with this stripline, and the description is in this point. The relation between the 3rd stripline 24 and the 2nd cash-drawer line 22 is shown in B of drawing 4 , and the relation between the 4th stripline 28 and the 3rd cash-drawer line 31 is shown for the relation between the 1st stripline 14 and the 1st cash-

drawer line 12 in A of drawing 4 at C of drawing 4 . With a continuous line, all show a cash-drawer line side for a stripline side with a broken line. As shown in each drawing, all of a stripline and a cash-drawer line are the physical relationship which intersects perpendicularly.

[0020] Moreover, a part parallel to the stripline of a cash-drawer line in this example is the pattern spacing W0 of a stripline. It forms, after only an EQC or the distance beyond it has separated from this stripline. Therefore, the short auxiliary line 38 is established in inner circumference one end, and it is made for the cash-drawer line 22 to be connected at the head, for example in the case of the 3rd stripline 24. In addition, it is spacing which looked at the cash-drawer line and the stripline superficially W1 It is shown. Thus, with constituting, generating of resonance by the unnecessary mode between a cash-drawer line and a stripline can be prevented.

[0021] Drawing 5 is the explanatory view showing other examples of the chip mold laminating balun component concerning this invention, and decomposes and shows the internal structure like drawing 1 . This is also the example of the structure which prints and carries out the laminating of the conductor pattern required on a dielectric substrate. Since the configuration of a stripline or a cash-drawer line, arrangement, etc. are the same as that of the example of said drawing 1 , in order to simplify explanation, they give the same sign to a member. The ground electrode is incorporated in this example. Up, the laminating of the dielectric substrate is turned in the following sequence from the bottom.

[0022] The lowest layer is the dielectric substrate 10 which printed on the underside the same external electrode pattern as the maximum upper layer mentioned later. The dielectric substrate 51 which moreover formed the ground electrode pattern 50 in the whole surface mostly is carried. Only a lateral (it is the longitudinal direction of space at drawing 5 ) center section arrives at even the substrate edge of order (this side and back), and the ground electrode pattern 50 is a configuration which has withdrawn a little rather than the periphery edge of the dielectric substrate 51 on the whole except it. This serves as an outside

(below) ground electrode. On the dielectric substrate 51, request number of sheets and the dielectric substrate 52 which is not printed at all may be formed if needed.

[0023] The dielectric substrate 13 which moreover printed the 1st cash-drawer line 12, and the dielectric substrate 16 which printed the 1st stripline 14 appear. The end of the 1st cash-drawer line 12 is connected to the inner circumference edge of the 1st stripline 14 by beer hole connection. On the dielectric substrate 16, request number of sheets and the dielectric substrate 17 which is not printed at all are formed if needed. The dielectric substrate 20 which moreover printed the 2nd stripline 18 appears. The inner circumference edge of the 2nd stripline 18 is disconnection (opening).

[0024] On the dielectric substrate 20, request number of sheets and the dielectric substrate 21 which is not printed at all are formed if needed. The dielectric substrate 54 which moreover formed the entire ground electrode pattern 53 mostly is located. This ground electrode pattern 53 also arrives at even the periphery edge of order, and except it, only the lateral center section is formed somewhat smaller than the periphery edge of the dielectric substrate 54, and serves as a medium ground electrode. On the dielectric substrate 54, request number of sheets and the dielectric substrate 55 which is not printed at all are formed if needed.

[0025] The dielectric substrate 23 which moreover printed the 2nd cash-drawer line 22, and the dielectric substrate 26 which printed the 3rd stripline 24 appear. On the dielectric substrate 26, request number of sheets and the dielectric substrate 27 which is not printed at all are formed if needed. Furthermore, the dielectric substrate 30 which printed the 4th stripline 28 on it, and the dielectric substrate 32 which printed the 3rd cash-drawer line 31 appear.

[0026] On the dielectric substrate 32, request number of sheets and the dielectric substrate 33 which is not printed at all are formed if needed. The dielectric substrate 57 which moreover formed the ground electrode pattern 56 in the whole surface mostly is located. Only a lateral center section arrives at even the

periphery edge of order, and this ground electrode pattern 56 is also the configuration which has withdrawn a little rather than the periphery edge of a dielectric substrate except it. This serves as an outside (above) ground electrode. Furthermore, the external electrode pattern 34 and the dielectric substrate 36 which printed the direction discernment marker 35 are formed as the maximum upper layer.

[0027] In such sequence, the laminating of the dielectric substrate is carried out, and it unifies, and considers as a chip type element. It is laid underground where the group of the joint stripline which is carrying out the electromagnetic coupling mutually is perpendicularly overlapped to a component side in 2 sets (the group of the 1st stripline 14 and the 2nd stripline 18, and group of the 3rd stripline 24 and the 4th stripline 28), and a dielectric chip, and a medium ground electrode intervenes among them, and it becomes the structure where the outside ground electrode was laid underground further up and down. The function to prevent that unnecessary electromagnetic association produces a medium ground electrode among the groups of the joint stripline which is carrying out the electromagnetic coupling mutually is achieved. An outside ground electrode achieves the function which prevents electromagnetic field leaking out of a chip.

[0028] Although each of each above-mentioned examples is examples manufactured with a sheet laminated layers method, manufacturing by the printing lamination is also possible. A printing lamination is the approach of making it into a layered product by screen-stenciling and piling up the ceramic pattern which used the ceramic paste (for example, slurry containing an alumina and powder, such as glass), and the conductor pattern using conductive paste (silver paste etc.). Even if such, the chip type element which carried out laminating unification is obtained. Actually, in order to raise productive efficiency, it considers as the many picking method which prints so that the same pattern may be arranged regularly all around, cuts in all directions behind a laminating, and is started for one-piece one chip. And the approach of preparing an external terminal in a side face after baking may be used, or the approach of calcinating,

after forming an external terminal in a side face at reverse may be used. Many approaches of picking are used also with a sheet laminated layers method. [0029] In addition, in each above-mentioned example, although the external electrode pattern is formed in vertical both sides of a dielectric chip, the configuration formed only in an underside (component side) is sufficient as it. Although forming at the time of laminating printing is desirable as for an external electrode, it may be produced after cutting baking. About a ground electrode pattern, from a viewpoint of the improvement in a property, although preparing is desirable, it may not need.

[0030]

[Effect of the Invention] When the cash-drawer line where this invention is located in the layer which adjoins a stripline as mentioned above sees in the direction of a laminating, it intersects a right angle to this stripline, and except an intersection, since it is the chip mold laminating balun component prepared so that it may not lap with this stripline, there is no possibility that resonance by the unnecessary mode etc. may occur, frequency characteristics are stable, and a good property is acquired.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The explanatory view showing one example of the chip mold laminating balun component concerning this invention.

[Drawing 2] The appearance perspective view of the chip mold laminating balun component.

[Drawing 3] The explanatory view showing the equal circuit of the chip mold laminating balun component.

[Drawing 4] The explanatory view showing the configuration and physical relationship of a stripline and a cash-drawer line.

[Drawing 5] The explanatory view showing other examples of the chip mold laminating balun component concerning this invention.

[Description of Notations]

12 1st Drawer Pattern

14 1st Stripline

18 2nd Stripline

22 2nd Drawer Pattern

24 3rd Stripline

28 4th Stripline

31 3rd Drawer Pattern

34 External Electrode Pattern

35 Direction Discernment Marker

10, 13, 16, 17, 20, 21, 23, 26, 27, 30, 32, 33, 36 Dielectric substrate

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

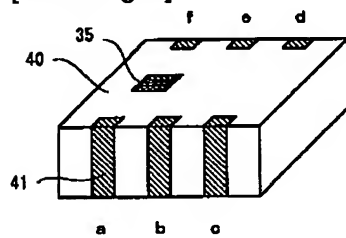
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

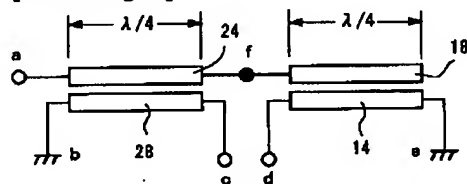
## DRAWINGS

---

[Drawing 2]

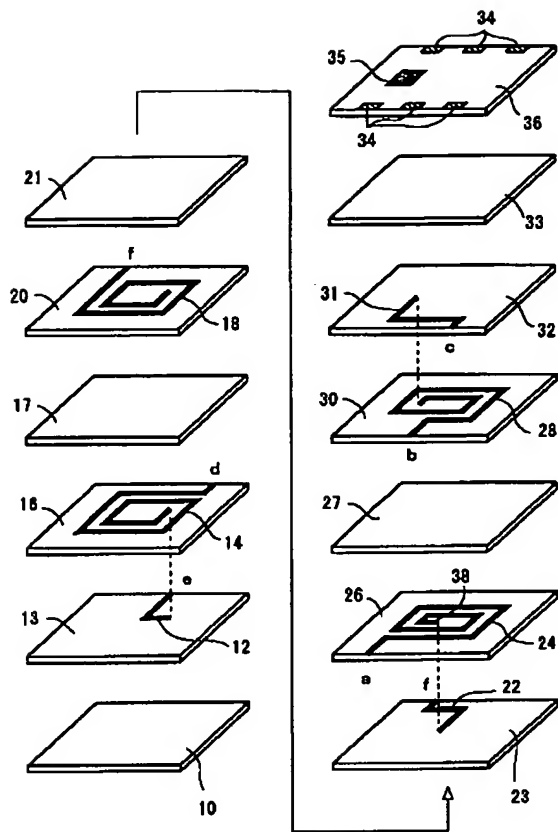


[Drawing 3]

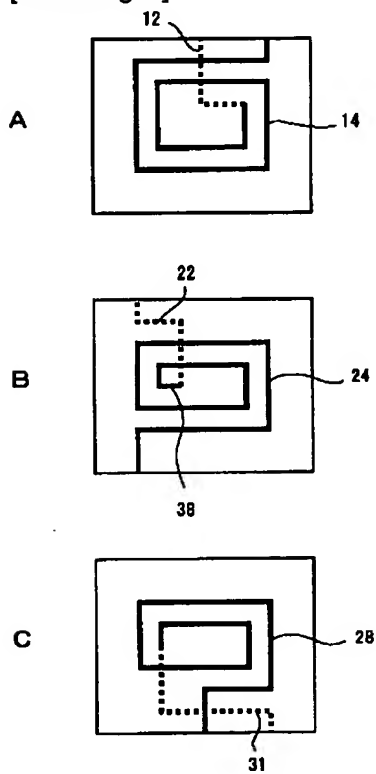


[Drawing 1]

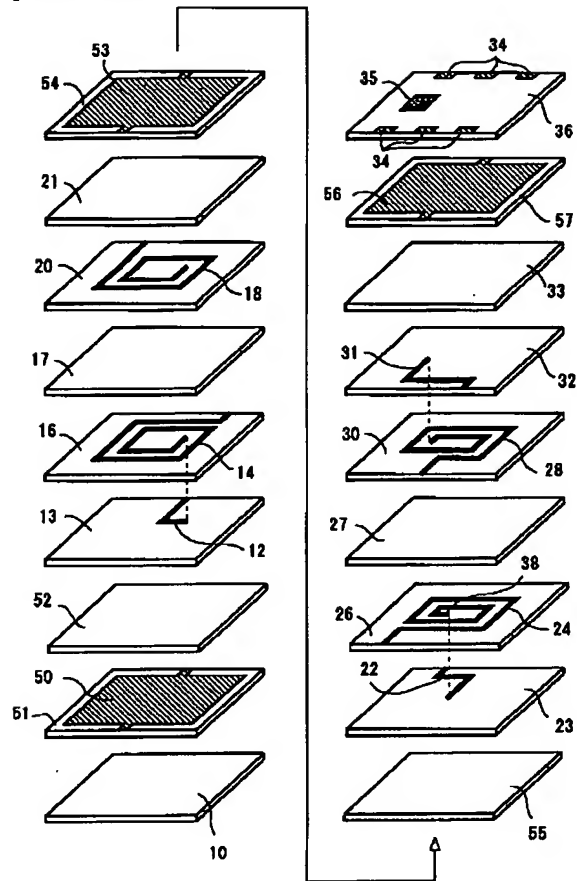




[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-198221  
(P2003-198221A)

(43) 公開日 平成15年7月11日 (2003.7.11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 P 5/10		H 0 1 P 5/10	C 5 E 0 7 0
H 0 1 F 19/06		H 0 1 F 19/06	
H 0 3 H 7/42		H 0 3 H 7/42	

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2001-391132(P2001-391132)

(22) 出願日 平成13年12月25日 (2001. 12. 25)

(71) 出願人 000237721

エフ・ディー・ケイ株式会社  
東京都港区新橋5丁目36番11号

(72) 発明者 西澤 博文

東京都港区新橋5丁目36番11号 エフ・デ  
ィー・ケイ株式会社内

(72) 発明者 樋口 聡

東京都港区新橋5丁目36番11号 エフ・デ  
ィー・ケイ株式会社内

(74) 代理人 100078961

弁理士 茂見 雄

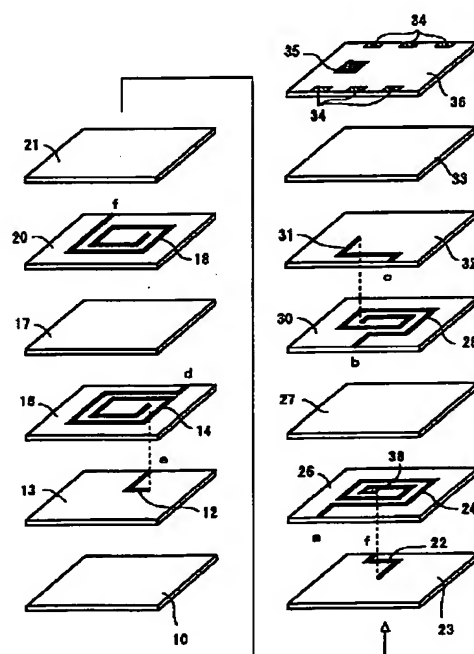
Fターム(参考) 5E070 AA16

(54) 【発明の名称】 チップ型積層バラン素子

(57) 【要約】

【課題】 不要なモードによる共振などが発生することがなく、周波数特性が安定化し、良好な特性を発現させる。

【解決手段】 相互に電磁結合しているλ/4結合ストリップラインの組が2組以上、誘電体チップ中で実装面に対して垂直方向に重畳した状態で埋設され、誘電体チップ内に位置するストリップライン端と外部電極との間が引出しラインで繋がれているチップ型積層バラン素子である。ここでストリップライン14、24、28に隣接する層に位置する引出しライン12、22、31は、積層方向に見た時にストリップラインに対して直角に交差し、且つ交差部以外はストリップラインと重ならないように設けられている。引出しラインのストリップラインと平行な部分は、ストリップラインのパターン間隔と同等以上の距離だけストリップラインから離れた状態で形成されるのが好ましい。



## 【特許請求の範囲】

【請求項1】 相互に電磁結合している $\lambda/4$ 結合ストリップラインの組が2組以上、誘電体チップ中で実装面に対して垂直方向に重畳した状態で埋設されており、誘電体チップ内に位置するストリップライン端と外部電極との間が引出しラインで繋がれているチップ型積層バ

ラン素子において、ストリップラインに隣接する層に位置する引出しラインは、積層方向に見た時に該ストリップラインに対して直角に交差し、且つ交差部以外は該ストリップラインと重ならないように形成されていることを特徴とするチップ型積層バラン素子。

【請求項2】 引出しラインのストリップラインと平行な部分は、ストリップラインのパターン間隔と同等もしくはそれ以上の距離だけ該ストリップラインから離れた状態で形成されている請求項1記載のチップ型積層バラン素子。

【請求項3】 相互に電磁結合している $\lambda/4$ 結合ストリップラインの組が2組配置されており、各ストリップラインは矩形渦巻き状パターンを有し、引出しラインは直線状、L型状、あるいはクランク状パターンである請求項2記載のチップ型積層バラン素子。

【請求項4】 誘電体チップの上下面もしくは下面の外部電極パターンは、印刷により形成されている請求項1乃至3のいずれかに記載のチップ型積層バラン素子。

【請求項5】 方向識別マークが、誘電体チップ上面に印刷により形成されている請求項1乃至4のいずれかに記載のチップ型積層バラン素子。

【請求項6】 相互に電磁結合しているストリップラインの組同士の間、中間アース電極が介在している請求項1乃至5のいずれかに記載のチップ型積層バラン素子。

【請求項7】 積層されているストリップライン群の上方及び又は下方に外側アース電極が埋設されている請求項1乃至6のいずれかに記載のチップ型積層バラン素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波回路において不平衡信号と平衡信号を相互に変換するために用いるバラン素子に関し、更に詳しく述べると、ストリップラインとそれに繋がる引出しラインとが直角に交差するようにして不要な共振モード等の発生を防止した積層構造のチップ型バラン素子に関するものである。

【0002】

【従来の技術】バラン素子は、高周波回路において不平衡信号と平衡信号を相互に変換するために用いる変換器である。近年、各種電子デバイスの小型化の要求に伴って、相互に電磁結合している結合ストリップラインを誘電体チップ中に埋設した構造のチップ型積層バラン素子

が開発されている。

【0003】従来構造の一例としては、 $\lambda/2$ 結合ストリップラインと2つの $\lambda/4$ 結合ストリップライン（但し、 $\lambda$ は使用波長を表す）を対向配置し、 $\lambda/2$ 結合ストリップラインの半分と一方の $\lambda/4$ 結合ストリップライン、 $\lambda/2$ 結合ストリップラインの残部と他方の $\lambda/4$ 結合ストリップラインが相互に電磁結合するようにした構造がある。 $\lambda/2$ 結合ストリップラインに不平衡伝送線路を接続し、2つの $\lambda/4$ 結合ストリップラインのそれぞれに平衡伝送線路を接続して使用する。

【0004】しかし、この構造は、 $\lambda/2$ 結合ストリップラインを形成するために広いチップ面積が必要となり、小型化には限界があった。そこで、他の構造として、2組の相互に電磁結合する $\lambda/4$ 結合ストリップラインの組を用いる構成が提案されている。各ストリップラインは、外部線路に接続するために引出しラインを用いて誘電体チップの外部電極に繋ぐ必要がある。この引出しラインは、従来技術では、誘電体チップ内に位置するストリップライン端と外部電極との間を直線的に最短距離で繋ぐように構成されている。

【0005】

【発明が解決しようとする課題】上記のように、従来技術では引出しラインが、ストリップライン端と外部電極との間を、単に直線的に繋ぐように形成されているため、ストリップラインと引出しラインとが斜めに交差する構成となっている。そのため、不要なモードによる共振などが発生し、周波数特性が不安定になったり、悪化する欠点があった。

【0006】本発明の目的は、不要な共振などの発生を防止でき、周波数特性が安定し、且つ良好なチップ型積層バラン素子を提供することである。

【0007】

【課題を解決するための手段】本発明は、相互に電磁結合している $\lambda/4$ 結合ストリップラインの組が2組以上、誘電体チップ中で実装面に対して垂直方向に重畳した状態で埋設され、誘電体チップ内に位置するストリップライン端と外部電極との間が引出しラインで繋がれているチップ型積層バラン素子において、ストリップラインと隣接する層に位置する引出しラインは、積層方向（実装面に対して垂直方向）に見た時に該ストリップラインに対して直角に交差し、且つ交差部以外は該ストリップラインと重ならないように設けられていることを特徴とするチップ型積層バラン素子である。ここで、引出しラインのストリップラインと平行な部分は、ストリップラインのパターン間隔と同等もしくはそれ以上の距離だけ該ストリップラインから離れた状態で形成されているのが好ましい。

【0008】典型的な例では、相互に電磁結合している $\lambda/4$ 結合ストリップラインの組を2組、誘電体チップ中で上下に配置する。各ストリップラインは矩形渦巻き

10

20

30

40

50

状パターンを有し、それに対して引出しラインは直線状、L型状、あるいはクランク状パターンとする。外部電極のうち誘電体チップの上下面もしくは下面に形成する外部電極パターンは、印刷により形成するのが好ましい。方向識別マーカも誘電体チップ上面に印刷により形成するのが好ましい。

【0009】相互に電磁結合している結合ストリップラインの組同士の間、中間アース電極が介在するように構成してもよい。それによって結合ストリップラインの組同士の間、不要な電磁的結合を防止できる。また、それら誘電体チップ中で上下方向に配列したストリップライン群全体の上及び／又は下方に、外側アース電極を埋設する構成も有効である。それによって外部への電磁波の漏洩を低減することができ、他のデバイスへ及ぼす悪影響を最小限に低減できる。

【0010】

【実施例】図1は本発明に係るチップ型積層バラン素子の一実施例を示す説明図であり、内部構造を分解して示している。これは誘電体基板上に必要な導体パターンを印刷形成して積層する例である。下から上へ、次のよう

な順序で誘電体基板を積層する。

【0011】最下層は、後述する最上層と同様の外部電極パターンを下面に印刷した誘電体基板10である（従って、外部電極パターンは図示されていない）。その上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板を設けてもよい。

【0012】その上に、第1の引出しライン12を印刷した誘電体基板13、及び第1のストリップライン14を印刷した誘電体基板16が載る。第1のストリップライン14は矩形渦巻き状パターンを有し、その外周端は基板右後（奥）縁dに達するように形成されている。他方、それに隣接する層の第1の引出しライン12はL型状パターンであって、第1のストリップライン14の内周端と基板中央奥の縁eとの間をビア穴接続（破線で表示）を介して繋ぐように設けられる。なおビア穴接続とは、前記内周端に形成した微小穴に導電材料を埋め込んで、それによって層間の電気的な接続を実現する構成をいう。誘電体基板16の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板17を設ける。その上に、第2のストリップライン18を印刷した誘電体

基板20が載る。第2のストリップライン18は、第1のストリップライン14と共通する形状で、互いに重なるような位置関係となる矩形渦巻き状パターンを有し、その外周端は基板左後縁fに達するように直線状に形成されている。誘電体基板20の矩形渦巻き状パターンの内周端は開放（オープン）である。誘電体基板20の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板21を設ける。

【0013】その上に、第2の引出しライン22を印刷した誘電体基板23、及び第3のストリップライン24

を印刷した誘電体基板26が載る。第3のストリップライン24は矩形渦巻き状パターンを有し、その外周端は基板左手前の縁aに達する。他方、第2の引出しライン22はクランク状パターンであって、第3のストリップライン24の内周端と基板左後縁fとの間をビア穴接続（破線で表示）を介して繋ぐように設ける。誘電体基板26の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板27を設ける。更にその上に、第4のストリップライン28を印刷した誘電体基板30、及び第3の引出しライン31を印刷した誘電体基板32が載る。第4のストリップライン28も矩形渦巻き状パターンを有しており、その外周端は基板中央手前の縁bまで達する。他方、第3の引出しライン31はクランク状パターンであって、第4のストリップライン28の内周端と基板右手前の縁cとの間をビア穴接続（破線で表示）を介して繋ぐように設けられる。第3のストリップライン24と第4のストリップライン28の矩形渦巻き状パターンは、共通する形状を有し、それらは互いに重なるような位置関係とする。

【0014】誘電体基板32の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板33を設ける。更に最上層として、外部電極パターン34と方向識別マーカ35とを印刷した誘電体基板36を設ける。外部電極パターン34は矩形状であり、対向する2辺（図1では手前の辺と奥の辺）に間隔をおいて3個ずつ、合計6個、印刷法で均等に配列形成されている。また、方向識別マーカ35は、誘電体基板36の片側（図1では紙面の左側）に寄せて印刷する。

【0015】このような順序で誘電体基板を積層して一体化しチップ素子とする。相互に電磁結合している結合ストリップラインの組が2組（第1のストリップライン14と第2のストリップライン18の組、及び第3のストリップライン24と第4のストリップライン28の組）、誘電体チップ中で実装面に対して垂直方向に重畳した状態で埋設された構造となる。即ち、各組で共通の矩形渦巻き状パターンが実質的に入／4結合ストリップラインを構成していることになり、それ以外の部分は接続用のパターンということになる。

【0016】最終的には図2に示すように、誘電体チップ40の外側面に6箇所外部電極41を設け、チップ側面にて各ストリップラインの端部及び各引出しラインの端部と接続する。従って、各外部電極41は、導体パターンの端部が露出している側面から上面と下両（実装面）の両方に至るように形成し、上面に方向識別マーカ35（チップの方向性を示すための目印）が位置することになる。そして、6箇所の外部電極41のうちの左奥の位置の外部電極（符号fで示す）によって、第2のストリップライン18と第3のストリップライン24とが相互に接続されることになる。

【0017】前記のように、結合ストリップラインとし

10

20

30

40

50

ての長さ(組を構成しているストリップライン同士で同一形状となっている矩形渦巻き状パターンの長さ)は、全て使用波長 $\lambda$ の $1/4$ の長さに設定されている。従って、このチップ型積層バルン素子は、等価回路的には図3のように表せる。各端子の符号は、図1の位置を示す符号、及び図2の外部電極の符号に対応している。aが不平衡端子、bとeがアース端子(GND)、cとdが平衡端子となり、fは第2と第3のストリップラインを繋ぐ内部接続用の端子となる。

【0018】使用する誘電体基板は、例えばアルミナ等からなる。小型化のためには比誘電率の大きな材料が望ましい。典型的な製造方法としては、未焼成の誘電体セラミックスシート(グリーンシート)を用い、その上にスクリーン印刷法によって導体ペースト(例えば銀ペースト)で導体パターンを印刷し、所定の順序で積層して、加圧一体化した後、焼成する方法がある。その他、誘電体基板上に導体パターンを形成し、所定の順序で接着層を介して積層し、一体化する方法でもよい。その方法では、焼結済みの誘電体セラミック基板を用いることもできるし、その他の樹脂基板を用いることもできる。

【0019】次に本発明の特徴であるパターン構造について、図4により更に詳しく説明する。本発明では、ストリップラインに隣接する層の引出しラインは、積層方向に見た時に、該ストリップラインに対して直角に交差し、且つ交差部以外は該ストリップラインと重ならないように設けられており、この点に特徴がある。第1のストリップライン14と第1の引出しライン12の関係を図4のAに、第3のストリップライン24と第2の引出しライン22の関係を図4のBに、第4のストリップライン28と第3の引出しライン31の関係を図4のCに示す。いずれもストリップライン側を実線で、引出しライン側を破線で示す。各図で分かるように、ストリップラインと引出しラインは全て直交する位置関係になっている。

【0020】また本実施例では、引出しラインのストリップラインと平行な部分は、ストリップラインのパターン間隔 $W$ 。と同等あるいはそれ以上の距離だけ該ストリップラインから離れた状態で形成している。そのため、例えば第3のストリップライン24の場合、内周端側に短い補助ライン38を設けて、その先端に引出しライン22が繋がるようにする。なお、引出しラインとストリップラインとを平面的に見た間隔を $W_1$ で示す。このように構成することで、引出しラインとストリップラインとの間での不要なモードによる共振の発生を防止することができる。

【0021】図5は、本発明に係るチップ型積層バルン素子の他の実施例を示す説明図であり、図1と同様に内部構造を分解して示している。これも誘電体基板上に必要な導体パターンを印刷して積層する構造の例である。ストリップラインや引出しラインの形状や配置などは、

前記図1の実施例と同様なので、説明を簡略化するために対応する部材には同一符号を付す。この実施例ではアース電極を組み込んでいる。下から上へ、次のような順序で誘電体基板を積層する。

【0022】最下層は、後述する最上層と同様の外部電極パターンを下面に印刷した誘電体基板10である。その上に、ほぼ全面にアース電極パターン50を形成した誘電体基板51を載せる。アース電極パターン50は、横方向(図5で紙面の左右方向)の中央部のみが前後(手前と奥)の基板縁にまで達し、それ以外は全体的に誘電体基板51の外周縁よりも若干引っ込んでいる形状である。これは外側(下側)アース電極となる。その誘電体基板51の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板52を設けてもよい。

【0023】その上に、第1の引出しライン12を印刷した誘電体基板13、第1のストリップライン14を印刷した誘電体基板16が載る。第1の引出しライン12の一端はビア穴接続によって第1のストリップライン14の内周端に接続される。誘電体基板16の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板17を設ける。その上に、第2のストリップライン18を印刷した誘電体基板20が載る。第2のストリップライン18の内周端は開放(オープン)である。

【0024】誘電体基板20の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板21を設ける。その上に、ほぼ全面のアース電極パターン53を形成した誘電体基板54が位置する。このアース電極パターン53も、横方向の中央部のみが前後の外周縁にまで達し、それ以外は誘電体基板54の外周縁よりも一回り小さく形成されており、中間アース電極となる。誘電体基板54の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板55を設ける。

【0025】その上に、第2の引出しライン22を印刷した誘電体基板23、第3のストリップライン24を印刷した誘電体基板26が載る。誘電体基板26の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板27を設ける。更にその上に、第4のストリップライン28を印刷した誘電体基板30、第3の引出しライン31を印刷した誘電体基板32が載る。

【0026】誘電体基板32の上に、必要に応じて、所望枚数、何も印刷されていない誘電体基板33を設ける。その上に、ほぼ全面にアース電極パターン56を形成した誘電体基板57が位置する。このアース電極パターン56も、横方向の中央部のみが前後の外周縁にまで達し、それ以外は誘電体基板の外周縁よりも若干引っ込んでいる形状である。これは外側(上側)アース電極となる。更に、最上層として、外部電極パターン34と方向識別マーカ35を印刷した誘電体基板36を設ける。

【0027】このような順序で誘電体基板を積層して一体化しチップ素子とする。相互に電磁結合している結合

ストリップラインの組が2組（第1のストリップライン14と第2のストリップライン18の組、及び第3のストリップライン24と第4のストリップライン28の組）、誘電体チップ中で実装面に対して垂直方向に重畳した状態で埋設されており、それらの間に中間アース電極が介在し、更に上下に外側アース電極が埋設された構造となる。中間アース電極は、相互に電磁結合している結合ストリップラインの組同士の間で不要な電磁的結合が生じるのを防止する機能を果たす。外側アース電極はチップ外に電磁界が漏れるのを防ぐ機能を果たす。

【0028】上記の各実施例は、いずれもシート積層法により製造する例であるが、印刷積層法で製造することも可能である。印刷積層法は、セラミックスペースト（例えばアルミナとガラスなどの粉末を含むスラリー）を用いたセラミックスパターンと導体ペースト（銀ペーストなど）を用いた導体パターンをスクリーン印刷して重ねていくことで積層体とする方法である。このようにしても積層一体化したチップ素子が得られる。実際には、生産効率を高めるために、同じパターンが前後左右に規則的に配列されるように印刷し、積層後に縦横に切断して1個1個のチップに切り出す多数個取り方式とする。そして、焼成後に側面に外部端子を設ける方法でもよいし、あるいは逆に側面に外部端子を形成した後に焼成する方法でもよい。多数個取りの方法は、シート積層法でも用いられる。

【0029】なお、上記の各実施例では、外部電極パターンは、誘電体チップの上下両面に形成されているが、下面（実装面）にのみ形成する構成でもよい。外部電極は、積層印刷時に形成するのが望ましいが、切断焼成後に作製してもよい。アース電極パターンについては、特

\* ない場合もある。

【0030】

【発明の効果】本発明は上記のように、ストリップラインに隣接する層に位置する引出しラインが、積層方向に見た時に該ストリップラインに対して直角に交差し、且つ交差部以外は該ストリップラインと重ならないように設けられているチップ型積層バラン素子であるから、不要なモードによる共振などが発生する恐れがなく、周波数特性が安定化し、良好な特性が得られる。

10 【図面の簡単な説明】

【図1】本発明に係るチップ型積層バラン素子の一実施例を示す説明図。

【図2】そのチップ型積層バラン素子の外観斜視図。

【図3】そのチップ型積層バラン素子の等価回路を示す説明図。

【図4】ストリップラインと引出しラインとの形状及び位置関係を示す説明図。

【図5】本発明に係るチップ型積層バラン素子の他の実施例を示す説明図。

20 【符号の説明】

12 第1の引き出しパターン

14 第1のストリップライン

18 第2のストリップライン

22 第2の引き出しパターン

24 第3のストリップライン

28 第4のストリップライン

31 第3の引き出しパターン

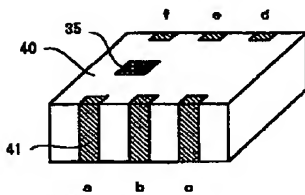
34 外部電極パターン

35 方向識別マーカ

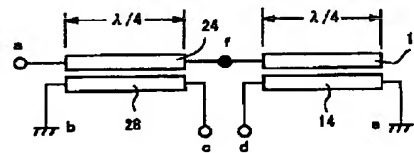
10, 13, 16, 17, 20, 21, 23, 26, 2

7, 30, 32, 33, 36 誘電体基板

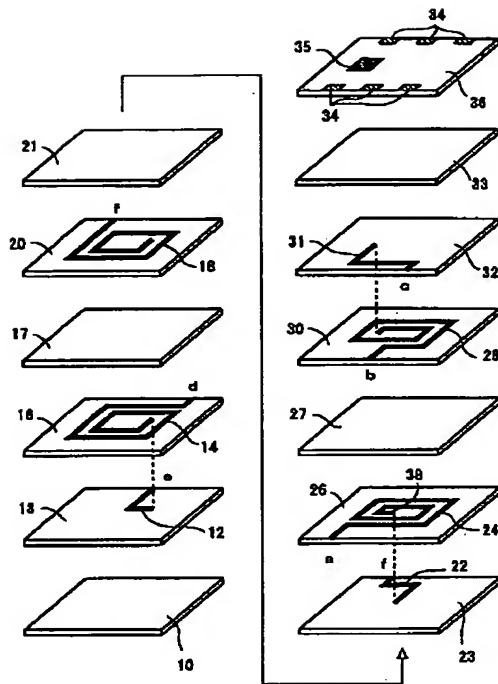
【図2】



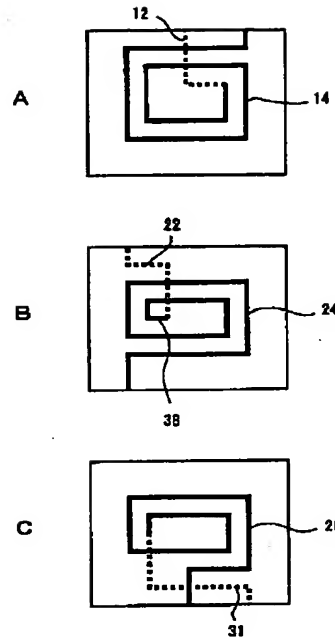
【図3】



【図1】



【図4】



【図5】

